

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186416

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78
27/10

3 7 1
4 3 4

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号 特願平9-350738

(22) 出願日 平成9年(1997)12月19日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 橋本 浩二

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

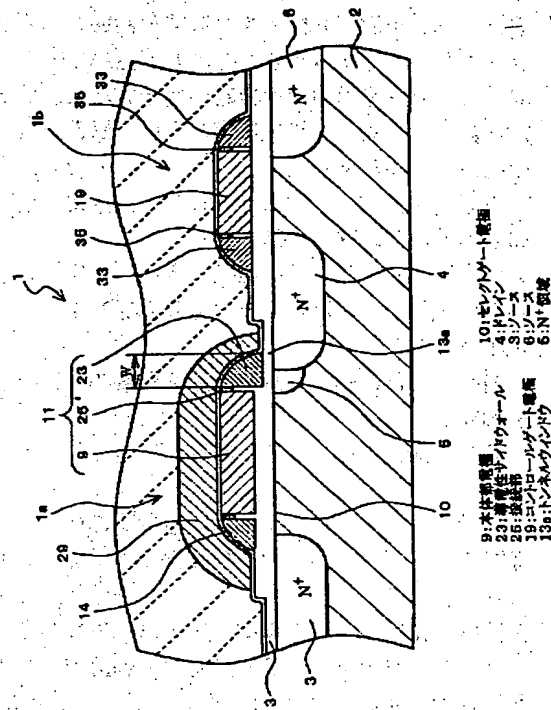
(74) 代理人 弁理士 古谷 榮男 (外3名)

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 トンネルウインドウの小さなEEPROMを提供する。

【解決手段】 フローティングゲート電極11は、トンネルウインドウ13aの上に位置する導電性サイドウォール23、トンネルウインドウ13a近隣でかつチャネル領域10の上方に位置する本体部電極9、および接続部25を有する。接続部25は、導電性サイドウォール23と本体部電極9との間に位置し、導電性サイドウォール23と本体部電極9を電氣的に接続する。トンネルウインドウとして実質的に機能する領域は、導電性サイドウォール23の幅Wによって決定される。



【特許請求の範囲】

【請求項1】半導体基板中に設けられた第1領域、前記第1領域との間に電路形成可能領域を形成するように設けられた第2領域、前記第1領域および前記電路形成可能領域の上に設けられた第1の絶縁膜であって、前記第1領域の上に前記電路形成可能領域の上の膜厚よりも薄い薄膜部を有する第1の絶縁膜、前記第1の絶縁膜の上に設けられ、電荷を蓄える浮遊型電極、前記浮遊型電極の上に設けられた第2の絶縁膜、前記第2の絶縁膜の上に設けられた制御用電極、を備えた不揮発性半導体記憶装置であって、前記浮遊型電極は、前記薄膜部の上に位置する導電性側壁および前記薄膜部近隣でかつ電路形成可能領域の上方に位置する本体部を有しており、前記導電性側壁は、前記本体部と電気的に接続されていること、を特徴とする不揮発性半導体記憶装置。

【請求項2】トンネル酸化膜の薄膜部を介して、浮遊型電極と第1導電型基板の第2導電型領域との間で、電荷を授受して、書込み状態または非書込み状態を切換え可能な不揮発性半導体記憶装置において、前記浮遊型電極は、
1)前記薄膜部の上に位置する導電性側壁、
2)前記薄膜部近隣でかつ前記薄膜部以外のトンネル酸化膜の上に位置する本体部であって、前記導電性側壁と電気的に接続された本体部、を有していることを特徴とする不揮発性半導体記憶装置。

【請求項3】トンネル酸化膜の薄膜部を介して、浮遊型電極と第1導電型基板の第2導電型領域との間で、電荷を授受して、書込み状態または非書込み状態を切換え可能な不揮発性半導体記憶装置の製造方法において、
1)基板上に形成された絶縁膜の上に、電荷を蓄える浮遊型電極の本体部を形成し、
2)前記浮遊型電極をマスクとして前記浮遊型電極の側壁周辺の前記絶縁膜を一部除去し、
3)前記絶縁膜が除去された基板表面に所定の厚みの酸化膜を形成して、これにより、薄膜部を有するトンネル酸化膜を形成し、
4)前記本体部の側壁でかつ前記薄膜部の上に導電性側壁を形成し、
5)前記本体部と前記導電性側壁とを電気的に接続すること、を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】請求項3の不揮発性半導体記憶装置の製造方法において、前記導電性側壁は、全面に導電性層を形成した後、異方性エッチングを行なうことにより、前記本体部の側壁でかつ前記薄膜部の上に形成されること、

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項5】請求項3または請求項4の不揮発性半導体記憶装置の製造方法において、前記浮遊型電極の側壁周辺の前記絶縁膜を一部除去する際、前記浮遊型電極をマスクとして、第1導電型の不純物を前記基板内に注入すること、

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項6】請求項3、4または5の不揮発性半導体記憶装置の製造方法において、前記本体部の側面と前記導電性側壁との電気的な接続は、前記本体部の側面と前記導電性側壁の間の絶縁膜を一部取り除いた後、導電性層を堆積させることにより行なうこと、を特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置に関するものであり、特に、一部薄膜部を有するトンネル酸化膜および電極の形成に関する。

【0002】

【従来技術】従来、一部薄膜部を有するトンネル酸化膜を介して電荷を授受して、書込み状態または非書込み状態を切換え可能な不揮発性半導体記憶装置として、EEPROMが知られている。EEPROMの製造方法について、図5を用いて説明する。

【0003】図5Aに示す様に、レジスト（図示せず）を用いて、半導体基板2内に、N⁺領域5、7を形成する。

【0004】つぎに、熱酸化した後、選択的にエッチングし、図5Bに示す様に、薄膜部であるトンネルウインドウ3aを形成する。CVD法を用いて、全面にポリシリコン層を堆積させた後、レジストを用いて、図5Cに示す様に、浮遊型電極であるフローティングゲート電極9およびセレクトゲート電極19を形成する。全面にONO膜およびポリシリコン層を形成させた後、レジストを用いて図6Aに示す様に、ONO膜14およびコントロールゲート電極29を形成する。図6Bに示す様に、セレクトゲート電極19およびコントロールゲート電極29をマスクとして、不純物を打込む。これにより、半導体基板2内に、メモリトランジスタおよびセレクトトランジスタのソース3、6、ドレイン4が形成される。

【0005】

【発明が解決しようとする課題】しかしながら、上記製造方法においては、次の様な問題があった。第1に、N⁺領域5、トンネルウインドウ3a、フローティングゲート電極9の形成について各々別々のマスクを用いている為、マスクずれを見込んだすだめだけ、セルサイズが大きくなる。すなわち、従来の製造方法では、露光装置の性能によって、微細化化に限界があった。

【0006】また、トンネルウインドウ3aの大きさを

小さくすることができれば、性能を落とすことなくセルサイズをより微細化することができる。なぜなら、トンネルウインドウ3aの大きさを小さくできれば、カップリングレシオを保ったまま、フローティングゲート電極9を小さくすることができる。これにより、コントロールゲート電極29に印加される電圧に対してトンネル酸化膜に印加される分圧を保ちつつ、セルサイズを小さくすることができる。すなわち、書き込み速度等を維持したまま、セルサイズを微細化できるからである。

【0007】この発明は、上記のような問題点を解決し、トンネル窓の実効寸法を小さくすることができ、これにより性能を低下させることなく微細化が可能な不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段および発明の効果】本発明にかかる不揮発性半導体記憶装置においては、前記浮遊型電極は、前記薄膜部の上に位置する導電性側壁および前記薄膜部近隣でかつ電路形成可能領域の上方に位置する本体部を有しており、前記導電性側壁は、前記本体部と電気的に接続されている。したがって、前記薄膜部と前記浮遊型電極の当接面積は、前記薄膜部と前記導電性側壁の当接面積によって決定される。これにより、電荷を授受する薄膜部の実効面積は、前記導電性側壁の大きさによって決定される。よって、微細化が可能となる。

【0009】本発明にかかる不揮発性半導体記憶装置においては、前記浮遊型電極は、前記薄膜部の上に位置する導電性側壁、および、前記薄膜部近隣でかつ前記薄膜部以外のトンネル酸化膜の上に位置し前記導電性側壁と電気的に接続された本体部を有している。したがって、前記薄膜部と前記浮遊型電極の当接面積は、前記薄膜部と前記導電性側壁の当接面積によって決定される。これにより、電荷を授受する薄膜部の実効面積は、前記導電性側壁の大きさによって決定される。よって、微細化が可能となる。

【0010】本発明にかかる不揮発性半導体記憶装置の製造方法においては、基板上に形成された絶縁膜の上に、電荷を蓄える浮遊型電極の本体部を形成し、前記浮遊型電極をマスクとして前記浮遊型電極の側壁周辺の前記絶縁膜を一部除去する。前記絶縁膜が除去された基板表面に所定の厚みの酸化膜を形成して、これにより、薄膜部を有するトンネル酸化膜を形成する。前記本体部の側壁でかつ前記薄膜部の上に導電体側壁を形成し、前記本体部と前記導電体側壁とを電気的に接続する。前記薄膜部と前記浮遊型電極の当接面積は、前記薄膜部と前記導電性側壁の当接面積によって決定される。すなわち、前記トンネル酸化膜の実効面積は、前記導電性側壁の大きさによって決定される。よって、微細化が可能となる。

【0011】本発明にかかる不揮発性半導体記憶装置の

製造方法においては、前記導電体側壁は、全面に導電体層を形成した後、異方性エッチングを行なうことにより、前記本体部の側壁でかつ前記薄膜部の上に形成される。したがって、前記導電性側壁の大きさを前記導電体層の厚みで決定することができる。これにより、微細な電荷授受用窓を有する不揮発性半導体記憶装置を製造することができる。

【0012】本発明にかかる不揮発性半導体記憶装置の製造方法においては、前記浮遊型電極の側壁周辺の前記絶縁膜を一部除去する際、前記浮遊型電極をマスクとして、第1導電型の不純物を前記基板内に注入する。したがって、前記第1導電型の不純物注入領域を前記基板内に形成するためのマスクが不要となるとともに、セルフアラインで、第1導電型の不純物注入領域と前記本体部との位置関係を決定することができる。

【0013】本発明にかかる不揮発性半導体記憶装置の製造方法においては、前記本体部の側面と前記導電体側壁との電気的な接続は、前記本体部の側面と前記導電体側壁の間の絶縁膜を一部取り除いた後、導電体層を堆積させることにより行なう。したがって、両者の電気的接続の為に配線を別途行なう必要がなくなる。

【0014】

【発明の実施の形態】図面を用いて、本発明にかかるEEPROM1の構造について説明する。

【0015】EEPROM1は、メモリトランジスタ1aおよび選択トランジスタ1bを有する。基板2内には、メモリトランジスタの第1領域であるドレイン4、第2領域であるソース3、選択トランジスタのソース6が形成されている。なお、メモリトランジスタと選択トランジスタとはそれぞれドレインを共用している。本実施形態においては、P型の基板2を採用し、ドレイン4、ソース3、6をN⁺領域とした。なお、ドレイン4は、やや不純物濃度の薄いN⁺領域5を有する。

【0016】ドレイン3、ソース4の間は、電路形成可能領域であるチャネル形成領域10である。

【0017】ドレイン4およびチャネル領域10の上には第1の絶縁膜であるトンネル酸化膜13が形成されている。トンネル酸化膜13は、ドレイン4の上にチャネル領域10の上の膜厚よりも薄い薄膜部であるトンネルウインドウ13aを有する。

【0018】トンネル酸化膜13の上には、浮遊型電極であるフローティングゲート電極11が形成されている。フローティングゲート電極11は、トンネルウインドウ13aの上に位置する導電性サイドウォール23、トンネルウインドウ13a近隣でかつチャネル領域10の上方に位置する本体部電極9、および接続部25を有する。接続部25は、導電性サイドウォール23と本体部電極9との間に位置し、導電性サイドウォール23と本体部電極9を電気的に接続する。

【0019】フローティングゲート電極11の上には、

第2の絶縁膜であるONO膜14が形成されている。ONO膜14の上には、制御用電極であるコントロールゲート電極29が形成されている。

【0020】選択トランジスタ1bのゲート電極19も、メモリトランジスタと同様に、その両側壁に導電性サイドウォール33が形成されており、導電性サイドウォール33とは、接続部35で電氣的に接続されている。

【0021】つぎに、EEPROM1の製造方法について説明する。まず、図2Aに示すように、基板2の表面に厚み約350オングストロームの酸化膜(SiO_2)13を形成するとともに、CVD法およびレジスト(図示せず)を用いて、本体部電極9およびセレクトゲート電極19を形成する。

【0022】つぎに、 N^+ 領域5および薄膜部であるトンネルウインドウ13aを形成するために、図2Bに示す様に、レジスト41を本体部電極9から距離 W' 離して形成し、一旦、トンネル酸化膜13を一部取り除く。また、この状態でレジスト41および本体電極部9をマスクとして、 N 型不純物をイオン注入する。その後、レジスト41を除去し、膜厚80~100オングストロームのシリコン酸化膜を形成する。これにより、図3Dに示す様に薄膜酸化膜であるトンネルウインドウ13aが形成される。この際、本体部電極9およびセレクトゲート電極19の表面にもシリコン酸化膜51が形成される。

【0023】つぎに、CVD法により、図3Aに示すように厚み0.2 μm のポリシリコン層55を堆積させる。この状態から、リアクティブイオンエッチング(RIE)を用いた異方性エッチングにより、図3Bに示すように導電性サイドウォール23が残るようにポリシリコン層55のエッチバックを行う。なお、エッチバックを長く行なっても、エッチングは垂直方向にのみ進行する為、導電性サイドウォール23の幅 W は、ほとんど影響を受けない。したがって、導電性サイドウォール23の幅 W を精密に制御することが可能となる。すなわち、導電性サイドウォール23の幅 W は、精密に制御することができるポリシリコン層55の厚みによって決定されるので、マスクを用いた場合よりも正確に導電性サイドウォール23を形成することができる。

【0024】つぎに、シリコン酸化膜51をウエットエッチングし、図3Cに示す様に、本体部電極9と導電性サイドウォール23との間に位置するシリコン酸化膜を一部除去する。これにより、図3Dに示すように、空隙28が形成される。なお、セレクトトランジスタのゲート電極19についても、同様に、空隙が形成される。

【0025】つぎに、図4Aに示すように、全面に、厚み約500オングストロームのポリシリコン層71を形成する。この状態から、リアクティブイオンエッチング(RIE)を用いた異方性エッチングを行なう。これに

より、図4Bに示すように、空隙28にポリシリコンの接続部25が形成され、この接続部25によって導電性サイドウォール23と本体部電極9とが電氣的に接続される。

【0026】以降は、従来と同様に、導電性サイドウォール23、本体部電極9、セレクトゲート電極19をマスクとして N 型不純物をイオン注入する。これにより、メモリトランジスタ1a、セレクトトランジスタ1bのソース及びドレインが形成される(図4C参照)。その後、ONO膜、コントロールゲート電極、および層間絶縁膜を形成し、必要な配線を行なうことにより、図1に示すEEPROM1が完成する。

【0027】このように、EEPROM1においては、トンネルウインドウ13aの上に本体部電極9と電氣的に接続される導電性サイドウォール23を形成している。したがって、電荷の授受を行なうトンネルウインドウ13aの実効幅 W を、導電性サイドウォール23の幅によって決定することができる。導電性サイドウォール23の幅はシリコン酸化膜55(図3A参照)によって決定できるので、レジストによって決定されるトンネルウインドウ13aの幅 W_2 (図2C参照)にかかわらず、正確にトンネルウインドウ13aの幅 W を決定することができる。これによりトンネルウインドウとして実質的に機能する領域の大きさ(幅)を小さくすることができる。すなわち、カップリングレートを保ったまま、微細化が可能となる。

【0028】本実施形態においては、セレクトトランジスタを有するEEPROMに適用した場合について説明したが、セレクトトランジスタを有しない不揮発性メモリであるフラッシュメモリにも同様に適用することができる。すなわち、トンネル酸化膜の薄膜部を介して、浮遊型電極と基板の不純物領域との間で、電荷を授受して、書込み状態または非書込み状態を切換え可能な不揮発性半導体記憶装置であればどの様なものでも適用することができる。

【0029】本実施形態においては、本体部電極9と導電性サイドウォール23との間のシリコン酸化膜(絶縁物)を一部削除してその空隙にポリシリコンを形成して、両者を電氣的に接続するようにしたが、これに限定されず、本体部電極9と導電性サイドウォール23とを電氣的に接続するものであればどの様なものでもよい。

【図面の簡単な説明】

【図1】本発明にかかるEEPROM1の要部断面図である。

【図2】本発明にかかるEEPROM1の製造工程を示す図である。

【図3】本発明にかかるEEPROM1の製造工程を示す図である。

【図4】本発明にかかるEEPROM1の製造工程を示す図である。

【図5】従来のEEPROMの製造方法を示す図である。

【図6】従来のEEPROMの製造方法を示す図である。

【符号の説明】

2・・・・・・基板

9・・・・・・本体部電極

11・・・・・・フローティングゲート電極

13・・・・・・トンネル酸化膜

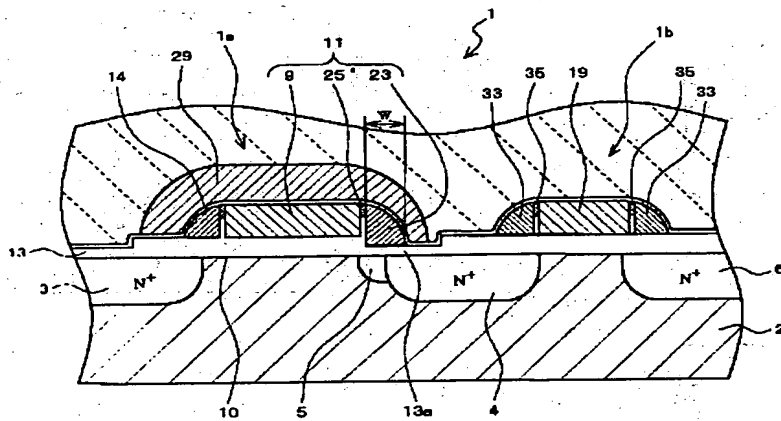
13a・・・・・・トンネルウインドウ

23・・・・・・導電性サイドウォール

25・・・・・・接続部

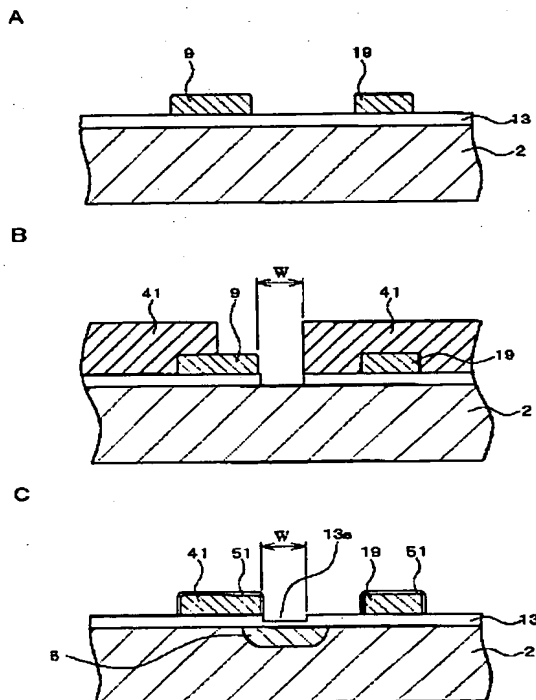
29・・・・・・コントロールゲート電極

【図1】

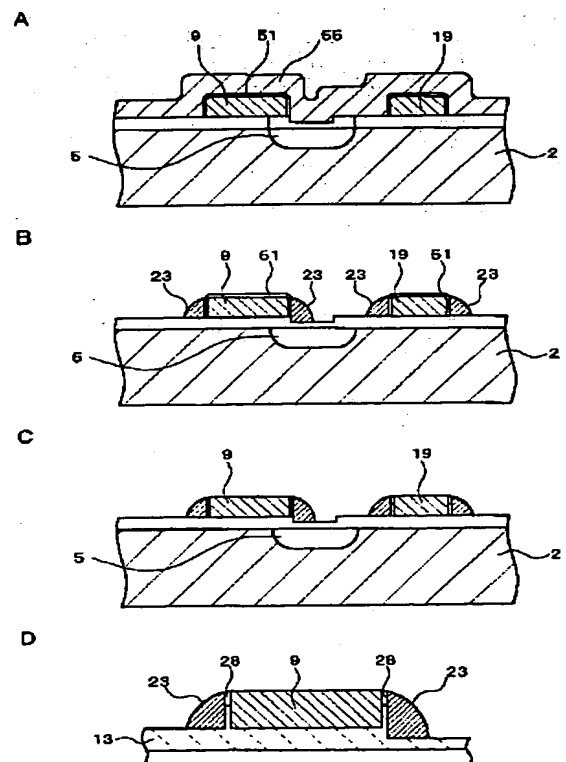


9:本体部電極
23:導電性サイドウォール
25:接続部
19:コントロールゲート電極
13a:トンネルウインドウ
10:セレクトゲート電極
4:ドレイン
3:ソース
6:N+領域
5:N+領域

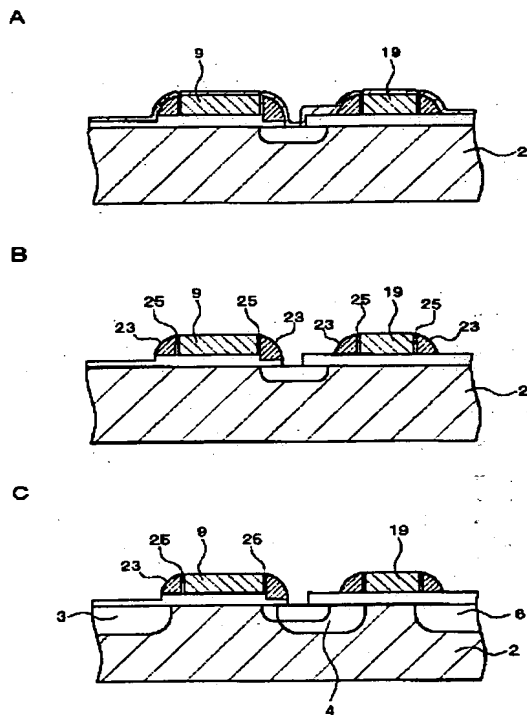
【図2】



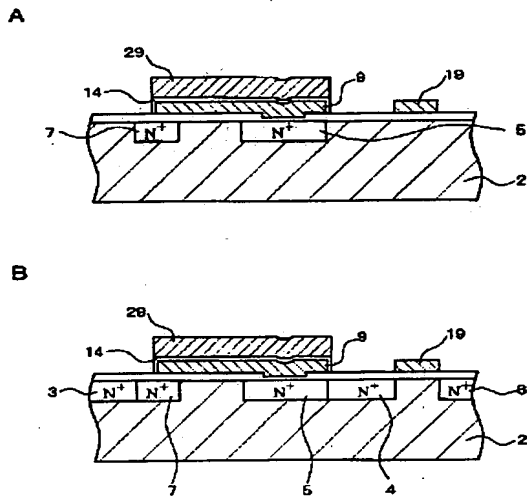
【図3】



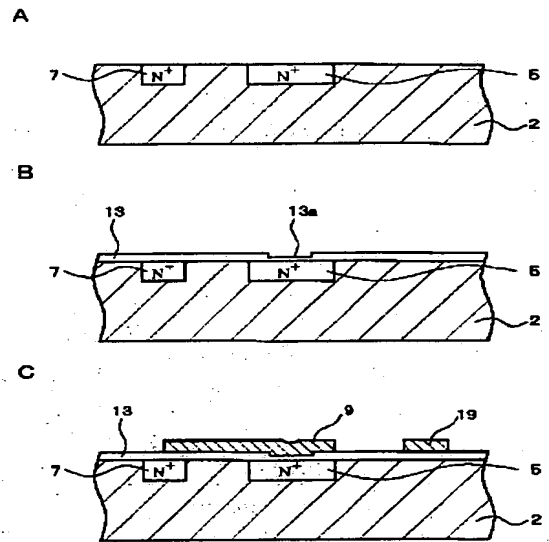
【図4】



【図6】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.